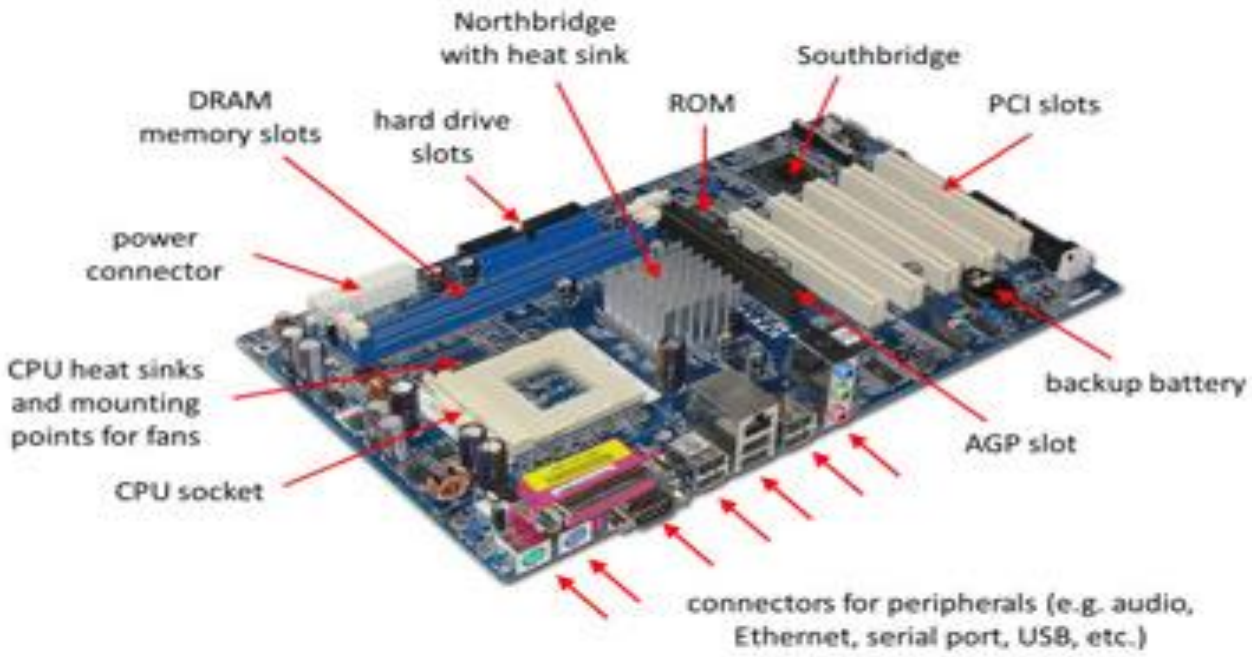
جامعة الحمدانية
كلية التربية

Lecture 4

Microprocessors

Prepared By:

Firas Abdulrahman Yosif



Instructions Fetch & Execution operations

عملية جلب الايعاز (Fetch) وتنفيذه (Execution) سواء من الذاكرة الرئيسية او من اجهزة الادخال والاخراج i/o devices تعتبر واحدة من اهم العمليات التي تحدث داخل الحاسبة, حيث من خلالها يتم تنفيذ الايعازات والاوامر الموجودة في البرامج المخزنة داخل الحاسبة.

- **Fetch Unit:**

وهي الوحدة المسؤلة على جلب الايعاز من الذاكرة اي تمثل عملية قراءة (Read) من الذاكرة ثم وضع الايعاز في Instruction queue وهذا يمثل قائمة انتظار الاوامر لغرض التنفيذ ومن الطبيعي أن الامر التي يدخل Instruction queue في البداية يتم تنفيذه أولاً اي حسب الاسبقية وذلك للمحافظة على ترتيب الايعازات و يدعى هذا المبدأ بـ First in first out ونرمز لهذا المبدأ بـ FIFO .

والـ queue موجود داخل وحدة تسمى BIU التي تمثل وحدة مواجهة المسارات ثم بعد ذلك يدخل الايعاز داخل وحدة الـ execution unit (EU) حتى يتم تنفيذه.

The Instruction Fetch Execute Cycle includes the following steps:

1. Fetch cycle

تبدأ دورة جلب الايعاز باسترداد العنوان المخزن في البرنامج في السجل (IP), العنوان المخزن في جهاز الكمبيوتر هو احد العناوين الصالحة الموجودة في ملف ذاكرة تحتوي على التعليمات المراد تنفيذها. (في حالة هذا العنوان غير موجود سننتهي بالتسبب في مقاطعة) تكمل وحدة المعالجة هذه الخطوة عن طريق جلب التعليمات المخزنة في هذا العنوان من مواقع الذاكرة ونقل هذه التعليمات الى سجل خاص في هو سجل التعليمات (IR) للاحتفاظ بالتعليمات التي سيتم تنفيذها.

حيث تتم زيادة عداد البرنامج(PC) وذلك للإشارة إلى العنوان التالي الذي يمثل الـ Instruction الذي سيأتي دوره لاحقا في التنفيذ داخل الـ Processor .

2. Decode Cycle

تُستخدم دورة فك التشفير لتفسير التعليمات والاوامر التي تم جلبها في الـ fetch cycle.

3. Execute Cycle

هذه الدورة كما يوحي الاسم ، تنفذ ببساطة الاوامر التي كانت قد تم جلبها من الذاكرة وتم فك تشفيرها.

The Fetch-Decode-Execute-Reset Cycle Algorithm Steps:

فيما يلي خوارزمية algorithm توضح الخطوات في الدورة, وفي النهاية يتم إعادة ضبط الدورة وتكرار الخوارزمية.

1. تحميل العنوان الموجود في عداد البرامج (PC) في سجل عناوين الذاكرة(MAR) .
2. زيادة العداد PC بمقدار 1.

3. تحميل الايعازات الموجودة في عنوان الذاكرة المعطى بواسطة MAR في بيانات الذاكرة في سجل(MDR) .
4. تحميل التعليمات الموجودة الآن في MDR في سجل التعليمات الحالي(CIR) .
5. فك شفرة الايعازات الموجودة فيCIR .
6 .تنفيذ الايعازات.
7. اعادة تنفيذ الخوارزمية بالانتقال إلى الخطوة 1.

Processor steps to perform the commands:

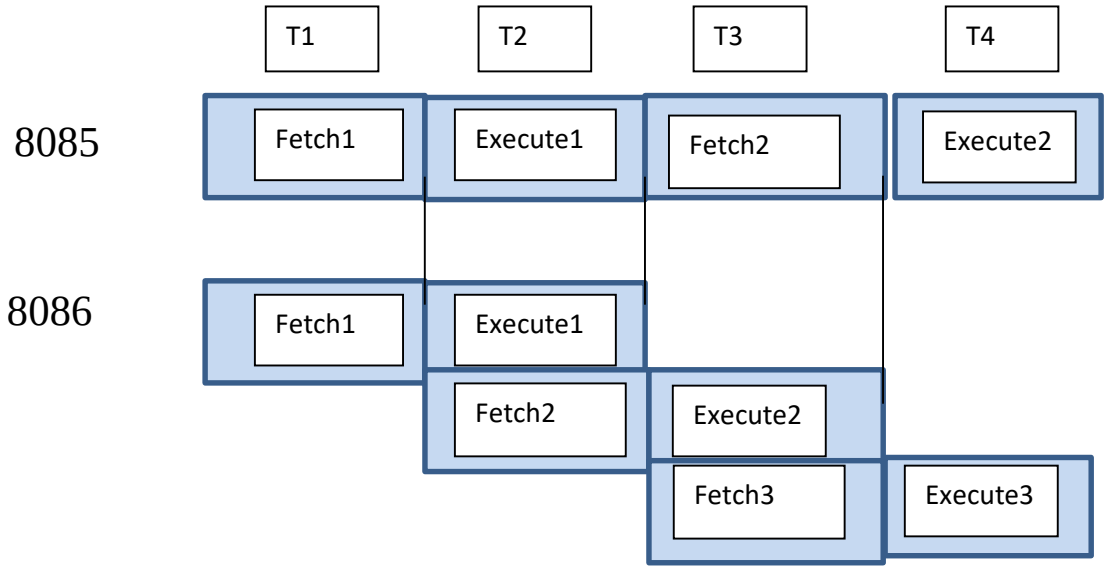
1. Fetch instruction
2. Decode instruction
3. Calculate operands
4. Fetch operands
5. Execute instructions
6. Write result

- **Instruction pipelining:**

انسيابية الاوامر تستخدم هذه التقنية في المعالج 8086 لزيادة سرعة تنفيذ الاوامر حيث تم تصميمها لتنفيذ اكثر من ايعاز في مرحلة واحدة بحيث يتم استغلال وقت المعالج بأجراء عملية تنفيذ الايعازexecution وجلب الايعاز من الذاكرة fetch في وقت واحد وفي مرحلة واحدة.

وتكون سعة الـ instruction pipelining في المعالج 8086 تساوي 6 byte .

وتجدر الاشارة بأن المعالج 8085 لايحتوي على الـ instruction pipelining ولهذا السبب تكون عملية التنفيذ بطيئة حيث ينفذ ايعاز واحد فقط في الـ one clock cycle. وادناه مخطط يوضح الـ pipelining بين المعالج 8086 والمعالج 8085.



(Instruction Pipelining in 8086 & 8085)

Internal Structure of 8086:

من الضروري معرفة التصميم الداخلي والسجلات الداخلية لأي معالج قبل البدء بكتابة برامج بلغة الآلة أو بلغة التجميع، لكون هذه اللغات تتعامل مباشرة مع التركيب الداخلي للمعالج.

The 8086/ 8088 CPU consists of two independent units:

1. BIU (Bus Interface Unit)
2. EU (Execution Unit)

- **BIU(Bus Interface Unit)**

وتسمى وحدة مواجهة المسارات وتتصل هذه الوحدة مع الدارات المحيطية للمعالج مثل الذاكرة عبر مسارات النظام system buses . بشكل عام فإن الـ BIU مسؤولة عن معظم الأعمال مثل : إحضار التعليمة، قراءة و كتابة في الذاكرة، إدخال و إخراج المعطيات من و إلى الأجهزة المحيطية و تستخدم لملائمة المعالج مع العالم الخارجي.

يمرالـ instruction في عدة مراحل ابتدأ من الذاكرة حتى الوصول الى الـ processor ,

حيث في وحدةBIU يتم توليد العنوان الفيزيائي physical address عن طريق استخدام مقطع الذاكرة CS والسجلIP حسب القانون التالي CS*10+IP وهذا يتم في قسم الـ address generation ثم يدخل الى الـ Control Bus لتحديد ما اذا كان الايعاز سيقرأ من من الذاكرة او يكتب عليها , فأذا كان الامر read فيرسل العنوان الى الـ memory عن طريق Address bus ثم ترسل البيانات من الذاكرة الى microprocessor عن طريق Data bus وبعد ذلك تدخل البيانات الى قائمة الانتظار instruction queue وتحجز موقعين 2 byte داخل قائمة الانتظار ثم بعد ذلك تدخل البيانات الى وحدة التنفيذ (execution unit) ثم الى وحدة ALU حيث يتم تحليل شفرة الايعازInstruction Decoding حيث لكل ايعاز شفرة code خاصة به ثم توضع النتيجة في سجلات مؤقتة general registers داخل المعالج.

This BIU unit performs the following main tasks :

1. Calculate the physical address of the data.
2. Fetch instructions from memory.
3. Data exchange between processor, memory, and input / output gates.
4. Generate control signals for system path operations.

BIU has the following registers:

1. Instruction queue .
2. Segment registers .
3. Instruction Pointer (IP) .
4. Address generation circuitry .
5. Bus control circuitry .

- **Execution Unit (EU):**

It is responsible for decoding and executing instructions and commands, and it consists of:

و هي مسؤولة عن فك شيفرة التعليمات والاوامر و تنفيذها و تتألف من :

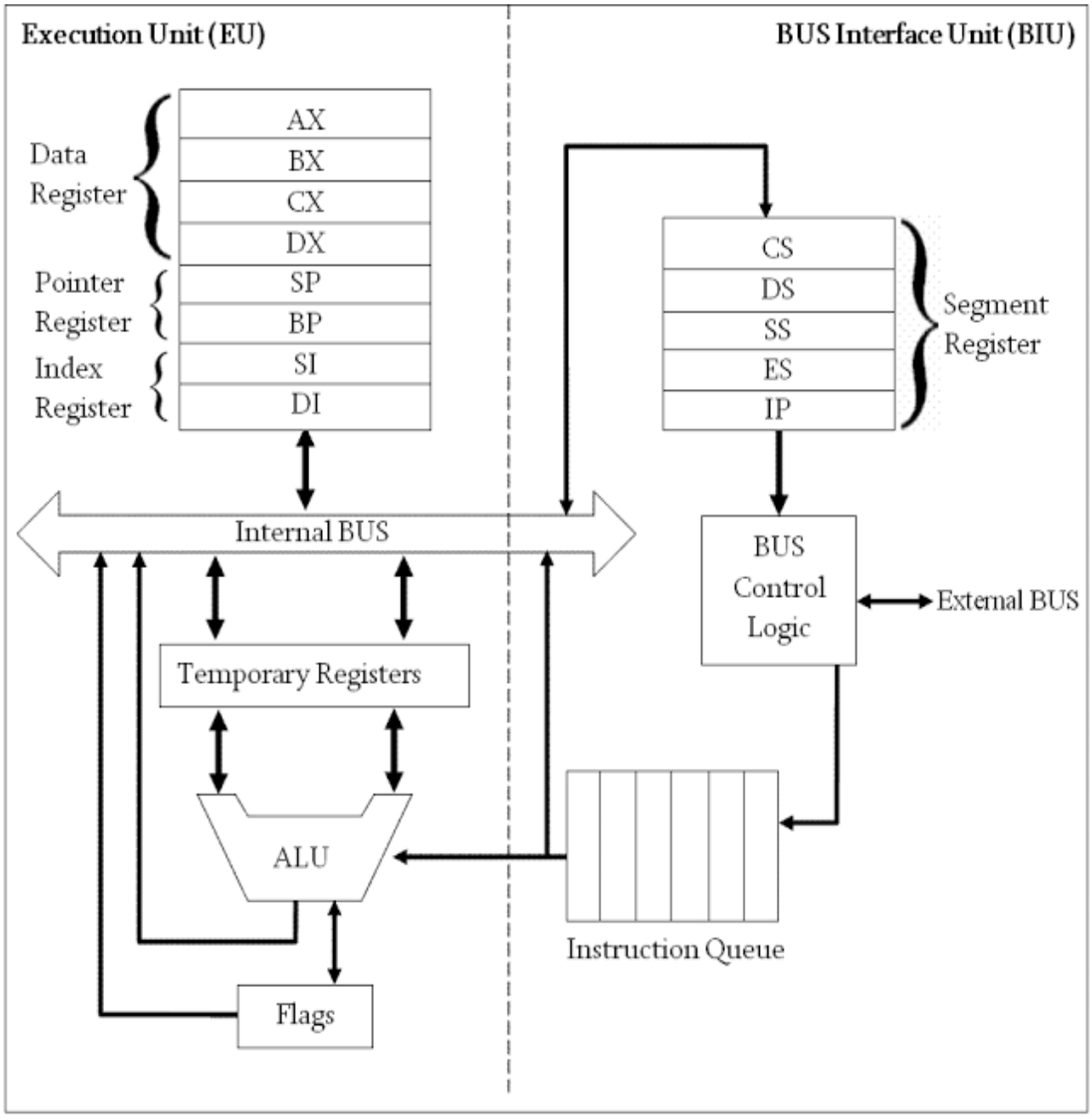
1) Arithmetic and logic sharpness.
2) Flag register.
3) Eight general purpose registers.
4) Temporary registers.

تجلب وحدة التنفيذ EU التعليمات من مقدمة الـ Instruction queue في وحدة ملائمة الممرات BIU و تفك شيفرتها و تقوم بالعمل الذي تمليه كل تعليمة فإذا احتاجت هذه الوحدة (EU) إلى معلومة مخزنة في الذاكرة فإنها تأمر وحدة ملائمة الممرات BIU بإحضارها و ذلك عن طريق إعطائها عنوان هذه المعلومة في الذاكرة.

إن من أحد أهم وظائف EU هو تنفيذ العمليات الحسابية و المنطقية على المعلومات، و أثناء سير التنفيذ تقوم EU بفحص مسجل الأعلام بعد كل تعليمة, سجل الأعلام(flag register) هو عبارة عن 16 bit تعبر عن حالة الناتج بعد تنفيذ كل عملية حسابية او منطقية .

وسجلات الأغراض العامة هي ثمانية سجلات طول كل سجل منها 2 byte و هذه السجلات هي AX,BX,CX,DX,SI,DI,BP,SP .

وادناه مخطط يوضح التركيب الداخلي للمعالج 8086 :



(Block diagram showing the internal structure of microprocessor)